

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-303114
 (43)Date of publication of application : 16.11.1993

(51)Int.Cl. G02F 1/136
 G02F 1/133
 G09F 9/30
 G09G 3/36
 H01L 27/12
 H01L 29/784

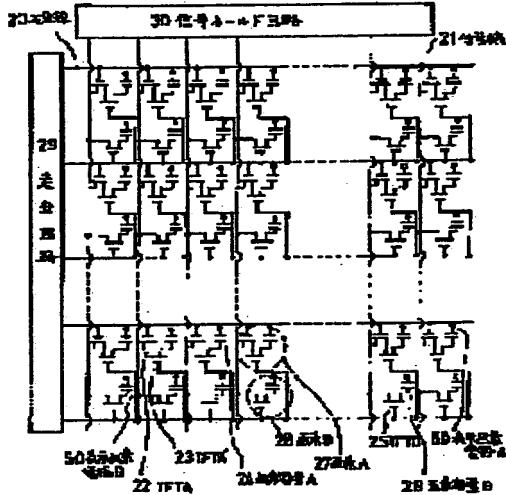
(21)Application number : 04-107311 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 27.04.1992 (72)Inventor : ASAII YOSHIHIRO

(54) LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To reduce the parasitic capacity and power consumption by forming pixel areas, wherein TFTs and display pixel electrodes connected thereto are arranged, of plural different pixels which are arranged periodically and repeatedly nearby matrix intersections of plural signal lines and scanning lines, and writing individual signals in the individual pixels.

CONSTITUTION: The pixel area consisting of a pixel A27 composed of a TFTA22, a TFTA'23, and a pixel capacitance A24 and a pixel B28 composed of a TFTB25 and a pixel capacitance B26 is formed at each of the intersections of the scanning lines 20 and signal lines 21. Individual pixel capacitances each consist of display pixel electrodes A59 and B50 and a common electrode, and a liquid crystal layer sandwiched between them. Thus, the pixel area is formed by using plural pixels A27 where a signal voltage is written only when two different scanning lines 20 are selected and plural pixels B28 wherein a signal voltage is written when one scanning line 20 is selected. Consequently, the intersection parts of the scanning lines 20 and signal lines 21 for the number of pixels can be made less than that of a conventional liquid crystal display element, and the probability of the short-circuiting of both lines and the parasitic capacitance of the signal lines are reducible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-303114

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
G 0 9 F	9/30	3 3 8	6447-5G	
G 0 9 G	3/36		7319-5G	
			9056-4M	

H 0 1 L 29/78 3 1 1 A

審査請求 未請求 請求項の数2(全8頁) 最終頁に続く

(21)出願番号 特願平4-107311
(22)出願日 平成4年(1992)4月27日

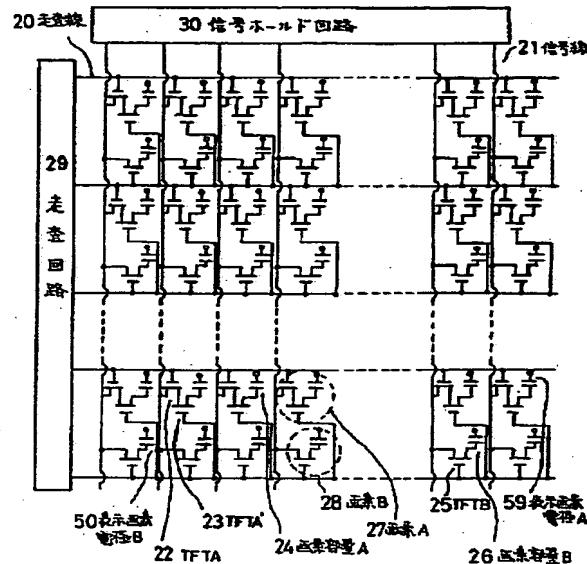
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 浅井 義裕
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(74)代理人 弁理士 那須 憲佑

(54)【発明の名称】 液晶表示素子

(57)【要約】

【構成】 液晶表示素子の一画素を、第一のトランジスタを介して信号線に接続された第一の画素電極と、直列に接続され異なるタイミングでスイッチングされる第二及び第三のトランジスタを介して信号線に接続された第二の画素電極とで構成する。

【効果】 信号線と走査線の交点を低減させることにより、ショートの確率を大幅に低減できる。また信号線の寄生容量を低減できる。



【特許請求の範囲】

【請求項1】複数本の信号線と走査線をマトリクス状に交差させ、これらの交点付近に薄膜トランジスタ及びこれに接続される表示画素電極を配した画素領域を有する液晶表示素子において、前記画素領域は周期的に繰り返されて配置された複数の異なる画素より形成されるとともに、前記画素の個々には個別の表示信号が書き込まれることを特徴とする液晶表示素子。

【請求項2】前記画素領域は第1の表示画素電極及び第2の表示画素電極より形成されるとともに、前記信号線と前記第1の表示画素電極間に接続された第1の薄膜トランジスタと、前記信号線と前記第2の表示画素電極間に直列に接続された第2の薄膜トランジスタ及び第3の薄膜トランジスタとを有し、前記第1の薄膜トランジスタ及び第2の薄膜トランジスタのゲートは共通の走査線に接続され、前記第3の薄膜トランジスタのゲートは前記共通の走査線より下段の走査線に接続されたことを特徴とする請求項1記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、薄膜トランジスタ(Tin Film Transistor, TFT)をスイッチ素子として表示画素電極アレイを構成した液晶表示素子に関する。

【0002】

【従来の技術】近年、液晶を用いた表示素子は、テレビ表示やグラフィックディスプレイなどを指向した大容量で高密度のアクティブマトリクス型液晶表示素子の開発及び実用化が盛んである。この様な液晶表示素子では、クロストークのない高コントラストの表示が行えるように、各画素の駆動と制御を行う手段として半導体スイッチが用いられる。その半導体スイッチとしては、透過型表示が可能であり大面積化も容易であるなどの理由から、絶縁基板上に形成されたTFTなどが用いられている。

【0003】図10に、例えば特開昭56-162793号公報に記載されている、この様な液晶表示素子の概略断面構造を示す。絶縁基板1上には、TFT2及びTFT2に接続された透明導電膜からなる表示画素電極3が配列形成されている。一方、絶縁基板4上には、透明導電膜からなる対向電極5が全面に形成されている。また、絶縁基板1と絶縁基板4との間には液晶6が挟持されており、さらにその周囲を封着剤7で封止した構造となる。

【0004】上述のTFT2は、図11に示すように、マトリクス状に形成された走査線10と信号線11の各交点位置に配設され、TFT2のゲートは行ごとに走査線10に接続され、TFT2のドレインは列ごとに信号線11に接続され、ソースは表示画素電極3に接続されている。そして、この表示画素電極3と対向電極5及び液晶6によって画素容量が形成されている。

【0005】また、図12は走査線10と信号線11の

交差部の平面図を示し、図13はその断面図を示す。図に示すように、走査線10と信号線11とはゲート絶縁膜16によって絶縁されている。

【0006】次に、この液晶表示素子の駆動方法の一例について説明する。即ち、TFT2のゲートに走査線選択電圧が印加されている期間(選択期間)に、表示画素電極3は信号線11と通じて映像信号電位と同電位に設定され、また、ゲートに走査線非選択電圧が印加されている期間(保持期間)は、表示画素電極3はこの映像信号電位に保たれる。一方、対向電極5は所定の電位に設定されており、したがって表示画素電極3と対向電極5との間に挟持されている液晶6には、映像信号電位と対向電極電位の差に相当する電圧がかかる。この電圧に応じて液晶の配列状態が変化することにより光透過率が変化し、画像表示が行われる。また、液晶を直流駆動すると、液晶分子が電気分解されて劣化することにより寿命が短くなるため、一般には交流駆動が用いられている。一例を挙げると、所定の電位に設定された対向電極電位に対して、映像信号電位を偶奇フレームで正負対称に設定する方法が用いられている。

【0007】

【発明が解決しようとする課題】しかしながら、この種の液晶表示素子では、以下のようないわゆる問題があった。製造工程中のゴミなどに起因して、走査線10と信号線11との交差部においてゲート絶縁膜16にピンホールのような絶縁不良箇所が発生すると、走査線10と信号線11が短絡不良を起こし、表示画面には線欠陥としてあらわれてしまう。あるいは、走査線10や信号線11自体が断線してしまうことも考えられ、これらの配線本数の多い大画面・高精細デバイスでは歩留まり低下の大きな要因となっている。

【0008】

【課題を解決するための手段】この発明は、上述の課題を解決するために、複数本の信号線と走査線をマトリクス状に交差させ、これらの交点付近に薄膜トランジスタ及びこれに接続される表示画素電極を配した画素領域を有する液晶表示素子において、画素領域は周期的に繰り返されて配置された複数の異なる画素より形成されるとともに、画素の個々には個別の表示信号が書き込まれる液晶表示素子を用いる。

【0009】

【作用】この発明の液晶表示素子においては、異なる2本の走査線を選択した場合にのみ信号電圧が書き込まれる複数の画素と、1本の走査線を選択した場合に信号電圧が書き込まれる複数の画素を用いて画素領域が形成される。このため、画素数に対する走査線と信号線の交差部を従来の液晶表示素子より減少させることができる。

【0010】

【実施例】以下、図面を参照してこの発明を詳細に説明する。

(実施例1)

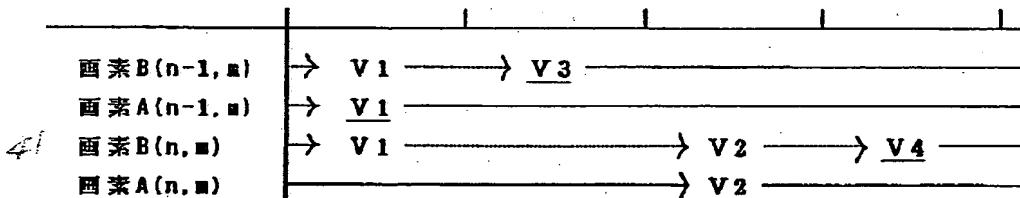
【0011】図1はこの発明の一実施例を示す等価回路図である。走査線20と信号線21の各交点には、TFTA22、TFTA₁23及び画素容量A24により構成された画素A27と、TFTB25及び画素容量B26で構成された画素B28よりなる画素領域が形成されている。個々の画素容量は、それぞれの表示画素電極と共に通電極68及びこれらに挟持された液晶層70より構成される。

【0012】また図2は、一画素領域における平面図を示す。即ち、画素Aにおいては、TFTA22のドレイン電極55は信号線21に接続され、ソース電極58はTFTA₁23のドレイン電極63に接続されている。また、TFTA₁23のソース電極60は表示画素電極A59に接続されている。TFTA22のゲート電極56は走査線20の第n行に接続され、TFTA₁23のゲート電極62は走査線20の第(n+1)行に接続されている。

【0013】一方、画素Bにおいては、TFTB25のドレイン電極54は信号線21に接続され、ソース電極51は表示画素電極B50に接続されている。また、ゲート電極53は走査線20の第(n+1)行に接続されている。

【0014】図3は、図2の線BB'に沿った断面図を*

時刻 t1 t2 t3 t4 t5



注) 破線は、他の画素に与えるべき信号線電圧が印加されている期間を示す。

【0019】時刻t1～t2において、走査線20の第(n-1)行及び第n行にVg.onが印加され、TFTA_(n-1, m)37とTFTA₁(n-1, m)38が同時に導通することによって、画素容量A(n-1, m)39に信号線電圧V1が書き込まれる。また、TFTB(n-1, m)35及びTFTB(n, m)40が導通することによって、画素容量B(n-1, m)36と画素容量B(n, m)41のそれぞれにも同様に信号線電圧V1が書き込まれる。

【0020】時刻t2～t3になると、走査線20の第(n-1)行にのみVg.onが印加され、TFTB(n-1, m)35は導通しているため、画素容量B(n-1, m)36に保持されていたV1はV3に書き換えられる。一方、TFTA(n-1, m)37及びTFTB(n, m)40は非導通となり、画素容量A(n-1, m)39の電圧はこ

*示す。絶縁基板73上には、ゲート電極53が形成され、この上にゲート絶縁膜72を介して半導体層52が形成されている。さらに、半導体層52はオーミック層64を介してソース電極51及びドレイン電極54の各々と接続されてTFTB25が形成されている。さらに全面に配向膜71が積層されて、アレイ基板74が形成されている。

【0015】一方、絶縁基板67上には透明導電層からなる共通電極68が全面に形成され、さらにこの上に配向膜69が積層されて、対向基板66が形成されている。そしてアレイ基板74と対向基板66との間には液晶層70が挟持され、液晶表示素子が形成される。

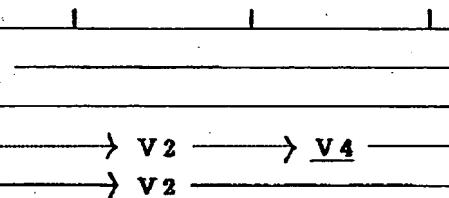
【0016】次に、本実施例の液晶表示素子の駆動方法と動作原理を説明する。図5は図1の部分図を示し、図4は図5に示す各々の画素を駆動するための走査線電圧と信号線電圧のタイミングチャート図を示す。

【0017】走査線20には、1フレーム期間(Tf)に2回走査線選択電圧(以下、Vg.onと称する)が印加される。一方、信号線21には、中心電圧(Vsig.c)に対してフレームごとに反転する信号線電圧が印加される。また次表1は、このような駆動方法を用いた場合の各画素の動作を示す。

【0018】

【表1】

t3 t4 t5



の後1フレーム期間近くV1に保持されて、画素A(n-1, m)46の透過率が決定される。

【0021】時刻t3～t4になると、走査線20の第n行及び第(n+1)行にVg.onが印加され、TFTA(n, m)42とTFTA₁(n, m)43が同時に導通することによって画素容量A(n, m)44に信号線電圧V2が書き込まれる。また、TFTB(n, m)40が導通することによって画素容量B(n, m)41に保持されていたV1はV2に書き換えられる。一方、TFTB(n-1, m)35は非導通となるため、画素容量B(n-1, m)36の電圧はこの後1フレーム期間近くV3に保持されて、画素B(n-1, m)45の透過率が決定される。

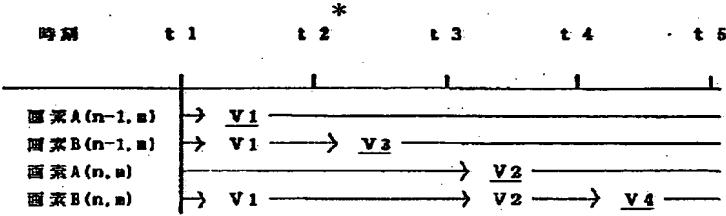
【0022】時刻t4～t5になると、走査線20の第n行にのみVg.onが印加され、TFTB(n, m)40が導通して、画素容量B(n, m)41に保持されていたV2はV4に書き換えられる。一方、TFTA(n, m)42は非導通となるため、画素容量A(n, m)44の電圧

はこの後1フレーム期間近くV2に保持されて、画素A (n, m) 48の透過率が決定される。

【0023】時刻t5で走査線20の第n行が非選択電圧 (Vg.off) になると、TFTB (n, m) 40は非導通となり、画素容量B (n, m) 41はV4に保持されるため、画素B (n, m) 47の透過率が決定される。

【0024】こうして、図5の各画素の透過率が決定される。このとき、例えば画素容量B (n, m) 41については、透過率を決定する電圧V4が書き込まれる直前に他の画素の透過率を決定するための電圧V1とV2が書き込まれるが、その期間は非常に短期間 (3Ts) であるために、本来の表示には悪影響を与えない。これは、他の画素についても同様である。

【0025】本実施例のアクティブマトリクス型液晶表示素子においては、隣接する2本の走査線を選択した場合にのみ信号電圧が書き込まれる画素と、1本の走査線を選択した場合に信号電圧が書き込まれる画素とを用いて画素領域が形成され、1本の走査線を2画素で共有することができるため、従来の液晶表示素子の製造工程を大幅に変更することなく画素数に対する走査線と信号線の交点数を減少させることができる。したがって、信号線と走査線のショートの確率を大幅に低減させることができる。



注) 破線は、他の画素に与えるべき信号線電圧が印加されている期間を示す。

【0031】時刻t1～t2において、走査線20の第(n-1)行及び第n行にVg.onが印加され、TFTA (n-1, m) 37とTFTA (n-1, m) 38が同時に導通することによって、画素容量A (n-1, m) 39に信号線電圧V1が書き込まれる。また、TFTB (n-1, m) 35及びTFTB (n, m) 40が導通することによって、画素容量B (n-1, m) 36と画素容量B (n, m) 41のそれぞれにも同様に信号線電圧V1が書き込まれる。

【0032】時刻t2～t3になると、走査線20の第(n-1)行にのみVg.onが印加され、TFTB (n-1, m) 35は導通しているため、画素容量B (n-1, m) 36に保持されていたV1はV3に書き換えられる。一方、TFTA (n-1, m) 38及びTFTB (n, m) 40は非導通となり、画素容量A (n-1, m) 39の電圧はこの後1フレーム期間近くV1に保持されて、画素A (n-1, m) 46の透過率が決定される。

【0033】時刻t3～t4になると、走査線20の第

* 【0026】また、信号線と走査線の交差部においては寄生容量が発生するが、本実施例においては走査線数が従来の約1/2であり、信号線1本あたりの信号線・走査線交差部の数が従来の約1/2となる。このため、信号線の寄生容量を従来に比べて大幅に減少させることができる。

【0027】従って、大容量の液晶表示素子においても、信号線の寄生容量を大幅に増加することなく、従来に比べて駆動回路の消費電力を大幅に低減させることができる。

(実施例2)

【0028】本発明の別の実施例を以下に説明する。図6は本実施例の液晶表示素子を示す等価回路図である。また、図8は図6の部分図を示す。走査線20と信号線21の各交点には、画面上方向から画素A (27)、画素B (28)が周期的に配列されて、画素領域を形成している。

【0029】次に、各画素の動作を説明する。図7は図8に示す各々の画素を駆動するための走査線電圧と信号線電圧のタイミングチャート図を示す。次表2に、このような駆動方法を用いた場合の各画素の動作を示す。

【0030】

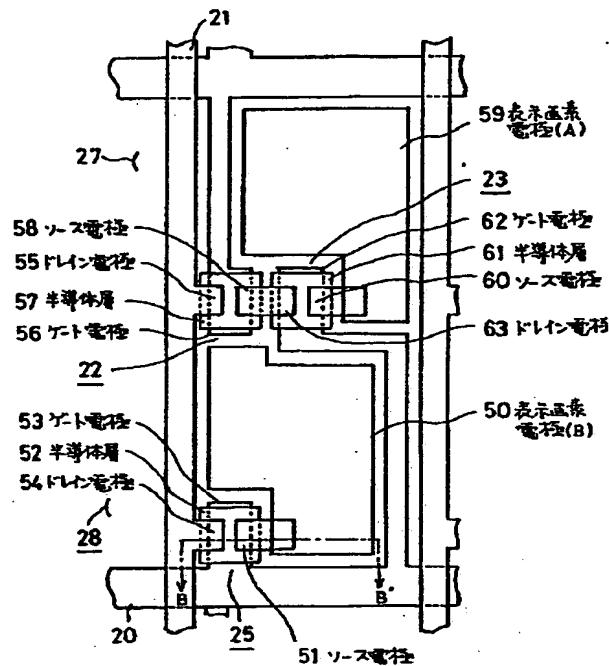
【表2】

n行及び第(n+1)行にVg.onが印加され、TFTA (n, m) 42とTFTA (n, m) 43が同時に導通することによって画素容量A (n, m) 44に信号線電圧V2が書き込まれる。また、TFTB (n, m) 40が導通することによって画素容量B (n, m) 41に保持されていたV1はV2に書き換えられる。一方、TFTB (n-1, m) 35は非導通となるため、画素容量B (n-1, m) 36の電圧はこの後1フレーム期間近くV3に保持されて、画素B (n-1, m) 45の透過率が決定される。

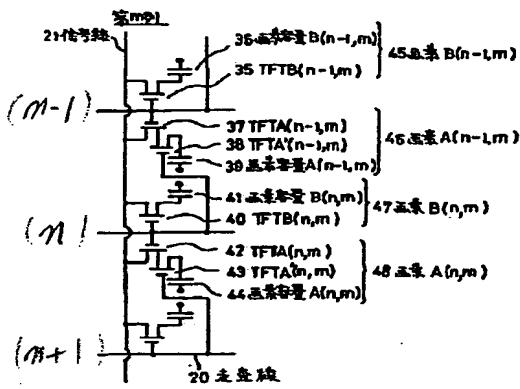
【0034】時刻t4～t5になると、走査線20の第n行にのみVg.onが印加され、TFTB (n, m) 40が導通して、画素容量B (n, m) 41に保持されていたV2はV4に書き換えられる。一方、TFTA (n, m) 43は非導通となるため、画素容量A (n, m) 44の電圧はこの後1フレーム期間近くV2に保持されて、画素A (n, m) 48の透過率が決定される。

【0035】時刻t5で走査線20の第n行が非選択電圧 (Vg.off) になると、TFTB (n, m) 40は非導通となり、画素容量B (n, m) 41はV4に保持されるため、画素B (n, m) 47の透過率が決定される。

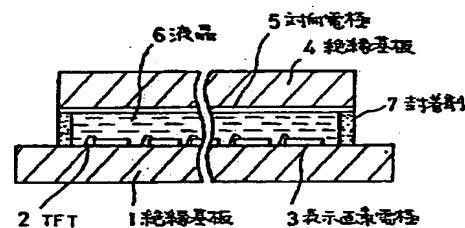
【図2】



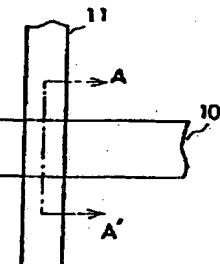
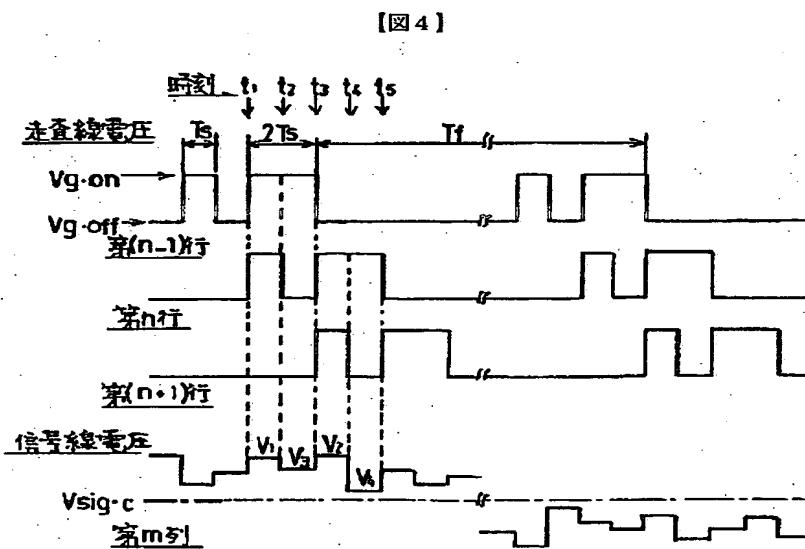
【図5】



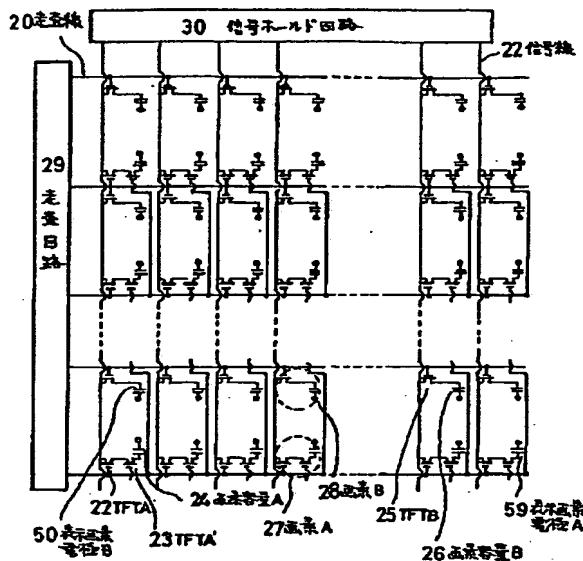
【図10】



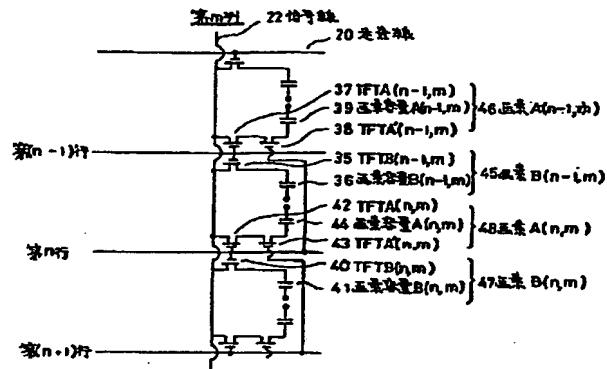
【図12】



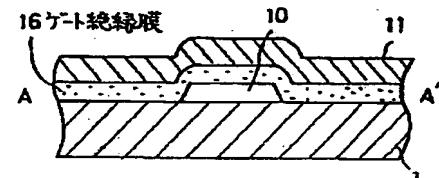
【図6】



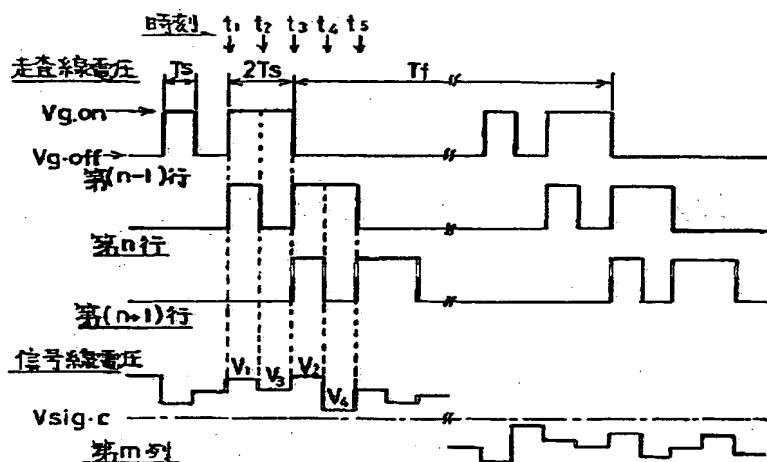
【図8】



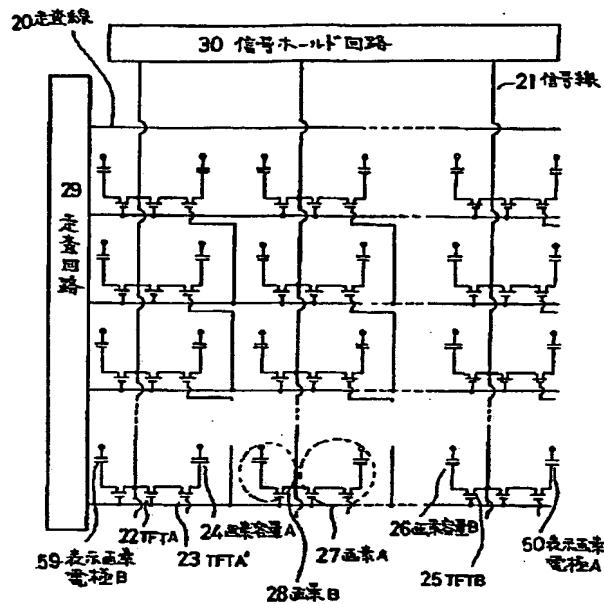
【図13】



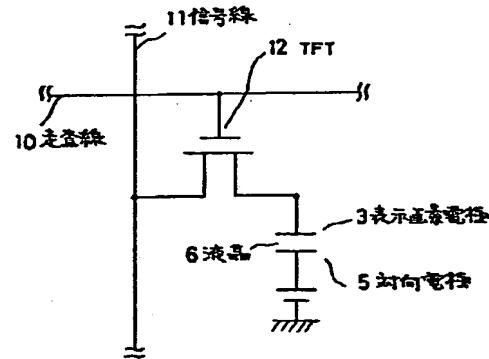
【図7】



【図9】



【図11】



フロントページの続き

(51) Int. Cl. 5

H 0 1 L 27/12
29/784

識別記号

府内整理番号

F I

技術表示箇所

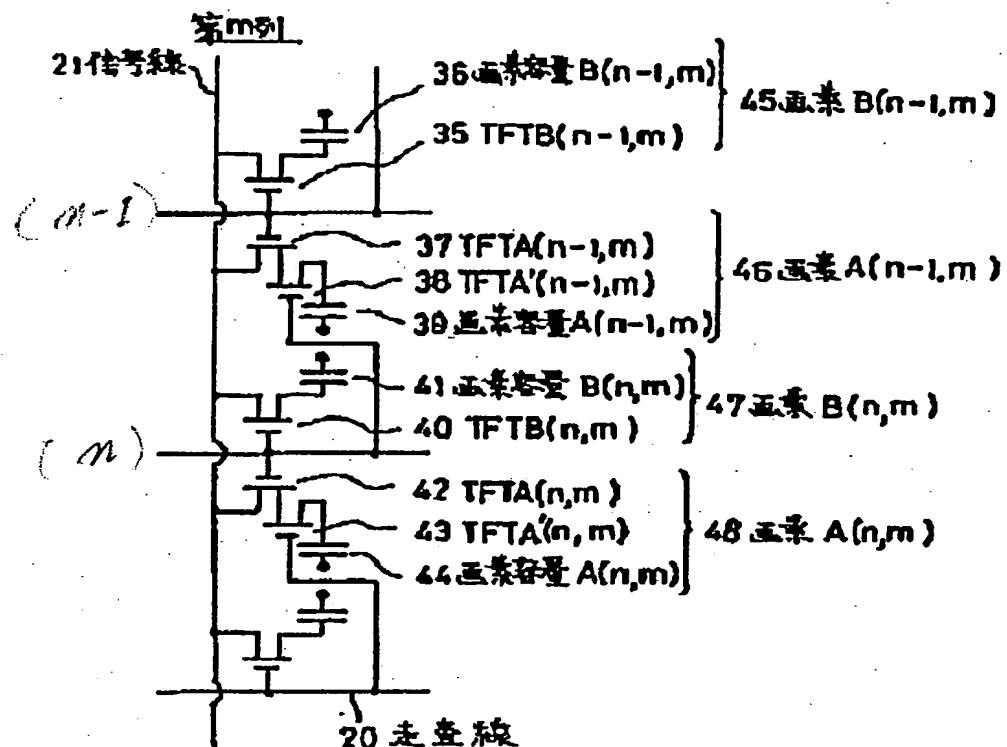
A

(6)

特開平5-303114

【図5】

59 表示画素電極(A)
23
62 ゲート電極
61 半導体層
60 ソース電極
63 ドレイン電極
50 表示画素電極(B)



【図10】

